

JP 2004-518343 A 2004.6.17

### (19) 日本国特許庁 (JP)

(12) 公 瑞 基 舜 公 基(A)

(11)特許出願公報番号

特表2004-518343

(P2004-5183434)

(43) 公表日 平成16年6月17日(2004.6.17)

(51) Int. Cl. F I テーマコード (参考)  
 HO4N 5/92 HO4N 5/92 H 5B060  
 G06F 12/00 G06F 12/00 580 5C053  
 G06F 12/02 G06F 12/02 570J  
 HO4N 5/91 HO4N 5/91 Z

審查請求 未請求 予備審查請求 未請求 (全 37 頁)

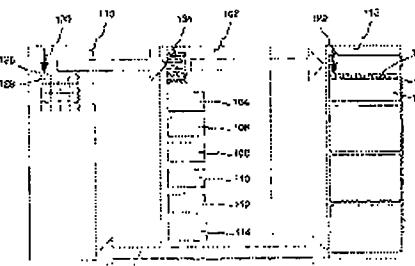
(21) 出願番号	特願2002-557131 (P2002-557131)	(71) 出願人	590000248 ヨーニンクレッカ フィリップス エレク
(86) (22) 出願日	平成14年1月10日 (2002.1.10)		トロニクス エヌ ヴィ
(85) 機種文書提出日	平成14年12月17日 (2002.12.17)		Koninklijke Philips Electronics N. V.
(86) 國際出願番号	PCT/IB2002/000044		オランダ国 5621 ペーー アイン
(87) 國際公開番号	WO2002/056600		ドーフェン フルーネヴァウツウェッハ
(87) 國際公開日	平成14年7月18日 (2002.7.18)		1
(31) 優先権主張番号	01200088.1		Groenewoudseweg 1, 5
(32) 優先日	平成13年1月12日 (2001.1.12)		621 BA Eindhoven, T
(33) 優先権主張国	歐州特許庁 (EP)		he Netherlands
(31) 優先権主張番号	01200206.9	(74) 代理人	100075812 弁護士 高武 駿次
(32) 優先日	平成13年1月19日 (2001.1.19)	(74) 代理人	100088889 弁護士 福谷 英俊
(33) 優先権主張国	歐州特許庁 (EP)		
(81) 指定国	EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR		

最終頁に統ぐ

(54) [発明の名標] メモリアドレス変換のための装置及び方法並びにそのような装置を含む画像処理装置

(57) **【要約】**

メモリ装置(118)は、バースト・アクセス・モードを使用して1個の読み取りコマンド又は書き込みコマンドを与えることによって多数の追続するデータワードにアクセスすることができる。これらのデータ・バーストは、常に全体としてアクセス可能であるメモリ装置内のオーバーラップしないデータユニットを表す。データ要求は、数バイトだけを含むことができ、またメモリ装置内で二つ以上のデータユニットをオーバレイできるので、転送オーバヘッドの量はかなり大きい。このオーバヘッドを最小にするために、論理アドレスから物理アドレスへの良好なマッピングが重要である。アドレス変換のために論理アレイがウィンドウと呼ばれる一組の矩形に分割され、各ウィンドウはメモリ装置の1行内に格納される。実際に格納された又は検索されたデータブロックのデータ要求は、最適なウィンドウ・サイズを計算するために、所定の時間中に分析される。本メモリアドレス変換装置(102)は、この分析を実行してマッピングを生成する。



## 【特許請求の範囲】

## 【請求項 1】

データブロックのデータエレメントの論理アドレスをメモリ装置の一部であるデータユニットのデータセルの物理アドレスに変換するマッピングを生成するように設計されており、前記メモリ装置の特性とデータブロックの特性とを分析するためのアライザと、前記アライザの出力に基づいて前記マッピングを生成するためのマッピング・ジェネレータとを備えているメモリアドレス変換装置であって、前記アライザは、所定の時間中に実際に前記メモリ装置に格納された又は前記メモリ装置から検索された実際のデータブロックの特性の値を分析することを特徴とするメモリアドレス変換装置。

16

## 【請求項 2】

前記メモリアドレス変換装置は、前記メモリ装置に実際に格納された又は前記メモリ装置から検索された各データブロックの最初のデータエレメントに対応する各最初のデータセルの物理アドレスの確率分布を分析することによって前記マッピングを生成するように配置されることを特徴とする請求項 1 に記載のメモリアドレス変換装置。

## 【請求項 3】

前記メモリアドレス変換装置は、データブロックの出現確率を分析することによって前記マッピングを生成するように配置されることを特徴とする請求項 1 に記載のメモリアドレス変換装置。

## 【請求項 4】

前記メモリアドレス変換装置は、所定の時間中に使用されたときに、前記メモリ装置に格納された又は前記メモリ装置から検索されたデータブロックのための可能な最小のメモリ転送オーバヘッドという結果を現在のマッピングがもたらしたかどうかを分析するように配置されることを特徴とする請求項 1 に記載のメモリアドレス変換装置。

20

## 【請求項 5】

前記メモリアドレス変換装置は、前記メモリアドレス変換装置が通知されるときに新しいマッピングを生成するように配置されることを特徴とする請求項 4 に記載のメモリアドレス変換装置。

## 【請求項 6】

前記メモリアドレス変換装置は、テスト・マッピング用のメモリ転送オーバヘッドを測定するように配置されており、もし前記メモリ装置に格納された又は前記メモリ装置から検索されたデータブロックに関して現在マッピングの代わりにそのテスト・マッピングが所定の時間中にアクティブであったとすると前記テスト・マッピングがより小さいメモリ転送オーバヘッドという結果をもたらしたであろうことを前記メモリアドレス変換装置が検出したときには、現在マッピングを交換するように設計されていることを特徴とする請求項 4 に記載のメモリアドレス変換装置。

30

## 【請求項 7】

前記メモリ装置は、同期式ダイナミック・ランダムアクセスメモリ装置であることを特徴とする請求項 1 に記載のメモリアドレス変換装置。

## 【請求項 8】

データブロックのデータエレメントは、ピクセルの輝度値に関係していることを特徴とする請求項 1 に記載のメモリアドレス変換装置。

40

## 【請求項 9】

前記メモリアドレス変換装置は、実際のデータブロックの特性の値の分析に使われるデータブロックに基づいて前記マッピングを生成するように配置されており、前記データブロックは、データブロックのデータエレメントがビデオフレームの偶数ラインに属するピクセルの輝度値に関係しているデータブロックと、データブロックのデータエレメントがビデオフレームの奇数ラインに属するピクセルの輝度値に関係しているデータブロックと、データブロックのデータエレメントがビデオフレームの偶数ライン又は奇数ラインに属す

50

るピクセルの輝度値に関係しているデータブロックと、  
に類別可能であることを特徴とする請求項 8 に記載のメモリアドレス変換装置。

【請求項 10】

前記メモリアドレス変換装置は、実際のデータブロックの特性の値の分析に使われるデータブロックに基づいて前記マッピングを生成するように配置されており、前記データブロックは、  
1行当たり可変数のデータエレメントを有するデータエレメントの行の構造と、  
1行当たり同数のデータエレメントを有するデータエレメントの行の構造と、に類別可能であることを特徴とする請求項 1 に記載のメモリアドレス変換装置。

10

【請求項 11】

データブロックのデータエレメントの論理アドレスをメモリ装置の一部であるデータユニットのデータセルの物理アドレスに変換するマッピングを生成するように設計されており、前記メモリ装置の特性とデータブロックの特性とを分析するためのアライザと、前記アライザの出力に基づいて前記マッピングを生成するためのマッピング・ジェネレータとを含むメモリアドレス変換装置であって、前記アライザは、所定の時間中に前記メモリ装置に格納された又は前記メモリ装置から検索された実際のデータブロックの特性の値を分析することを特徴とするメモリアドレス変換装置と、

処理手段と、

メモリ装置と、

を備えていることを特徴とする画像処理装置。

20

【請求項 12】

データブロックのデータエレメントの論理アドレスをメモリ装置の一部であるデータユニットのデータセルの物理アドレスに変換するマッピングを生成する方法であって、前記メモリ装置の特性とデータブロックの特性とを分析する第1のステップと、前記第1のステップの結果に基づいて前記マッピングを生成する第2のステップとを含んでおり、前記第1のステップでは、所定の時間中に実際に前記メモリ装置に格納された又は前記メモリ装置から検索された実際のデータブロックの特性の値が分析されることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データブロックのデータエレメントの論理アドレスをメモリ装置の一部であるデータユニットのデータセルの物理アドレスに変換するためのマッピングを生成するように設計されており、上記メモリ装置の特性及びデータブロックの特性を分析するための分析器と、その分析器の出力に基づいてマッピングを生成するためのマッピング・ジェネレータとを備えているメモリアドレス変換装置に関する。

30

【0002】

本発明はさらに、このようなメモリアドレス変換装置を含む画像処理装置に関する。

【0003】

本装置はさらに、データブロックのデータエレメントの論理アドレスをメモリ装置の一部であるデータユニットのデータセルの物理アドレスに変換するマッピングを生成するための方法であって、上記メモリ装置の特性及びデータブロックの特性を分析する第1のステップと、その第1のステップの結果に基づいてマッピングを生成する第2のステップとを含む方法に関する。

40

【0004】

【従来の技術、及び、発明が解決しようとする課題】

冒頭のパラグラフで述べた種類の装置は、論文「ビジュアル・コミュニケーションと画像処理 2000 における SDRAM ベースのビデオ処理アプリケーションのためのアレイ・アドレス変換、2000 年の SPIE 光工学のための国際学会の会報第二部」の 922 ページから 931 ページ (Array Address Translation for SDRAM-based Video Processing Application, i 50

n Visual Communications and Image Processing 2000, Proceedings of SPIE-The International Society for Optical Engineering, Vol. 4067, part two Year 2000, pages 922-931) から知られている。

【0005】

ビデオ処理アプリケーションの解像度が高くなるにつれて、ビデオ信号プロセッサは、厳しく制約された時間内に大量のデータを処理しなくてはならない。高いメモリ帯域幅を得るために、ある幾つかのメモリ装置、例えばSDRAMは、重要な特徴であるバースト・アクセス・モードを使用する。バースト・アクセス・モードは、一つの読み取りコマンド又は書き込みコマンドを与えることによって多数の連続するデータワードへのアクセスを可能にする。ダイナミック・メモリ・セルの読み取りは破壊読み出しであるので、メモリ・バンク内の1行のセルの内容は1行のスタティック・メモリ・セル、ページレジスタ内にコピーされる。続けてこの行へのアクセスが与えられる。同様に、もう一つの行をアクセスしなくてはならないときには、先ずスタティック・メモリ・セルの行の内容を元の消去されたダイナミックセルにコピーバックしなくてはならない。それぞれ行活性化及びプリチャージと呼ばれるこれらの動作は、その間、メモリセルのアレイ、即ちバンクにアクセスできない貴重な時間を消費する。メモリバスの帯域幅の利用を最適化するために、データは、データ・バーストのグレイン(grain)サイズ、即ち、8ワードだけでアクセスされるべきである。これらのデータ・バーストは、単に全体としてアクセスできるメモリ装置内のオーバーラップしないデータユニットを表している。データの要求は僅か数バイトに関係するだけなので、即ち、データユニットは要求されたデータブロックより大きく且つデータの要求はメモリ装置内の2個以上のデータユニットを含むことができるので、転送オーバヘッドの量はかなりの大きくなる可能性がある。このオーバヘッドを最小にするために、論理アドレスから物理アドレスへの良好なマッピングが重要である。これを説明するために下記の例が提示される。ビデオ処理アルゴリズムは、8×8ピクセルの2次元アレイを処理する。このような2次元アレイはデータブロックとして表現される。種々のピクセルのアドレスがリニアに物理アドレスにマッピングされると、このようなデータブロックのアクセスは、7個の行変化を引き起こす。しかしながら、このような8×8のデータブロックのピクセルがメモリ装置の1データユニット内に保持されれば、このような8×8データブロックへのアクセスは、いかなる行変化も誘発しない。

【0006】

論文「ビジュアル・コミュニケーションと画像処理2000におけるSDRAMベースのビデオ処理アプリケーションのためのアレイ・アドレス変換、2000年のSPIE光学のための国際学会の会報第二部」の922ページから931ページ(Array Address Translation for SDRAM-based Video Processing Application, in Visual Communications and Image Processing 2000, Proceedings of SPIE-The International Society for Optical Engineering, Vol. 4067, part two, Year 2000, pages 922-931) から、多次元ビデオ処理アプリケーションにおいてメモリ・サイクルの数を減らすためのメモリアドレス変換装置が知られている。この論文にはアクセスパターンとメモリ・パラメータとを考慮した適当なウインドウ・サイズを探索するアルゴリズムが説明されている。論理アレイ、例えばビデオフレームは、一組のウインドウと呼ばれる矩形に分割されている。ウインドウ・サイズは、例えばビデオフレームからのピクセルが、関連ピクセルの多数のグループにどのように分割されるかを決定する。言い換えれば、ビデオフレームは、多数の領域に分割され、このような領域の空間的寸法はウインドウの寸法に対応する。このような領域からのすべてのピクセルは、関連ピクセルの1グループに属する。関連ピクセルの各グループは、メモリ装置の1行に格納される。1ウインドウの長さは、水平方向のピクセルの数に対応する。ウインドウ

の高さは、垂直方向のピクセルの数に対応する。アドレス変換は、ある論理アドレスに関する物理アドレスの決定を意味する。データエレメントをメモリ装置に格納するために、データユニットの一部であるデータセルの物理アドレスは、そのデータエレメントの論理アドレスに関して計算されなくてはならない。各ピクセルは、論理アドレスを有する。このアドレスは、ビデオフレーム内のピクセルの一組の座標であってもよい。もし関連ピクセルの1グループが1データユニット内に格納されなくてはならないことが要求されれば、これは、格納すべきピクセルに関連した物理アドレスの計算を決定する。関連ピクセルのグループからのピクセルは、連続する物理アドレスにマッピングすべきである。論文ではメモリ内へのビデオデータのマッピングは、アプリケーション・ソフトウェアの分析に関連して提案されている。

10

## 【0007】

アプリケーション・ソフトウェアの分析のみによるウインドウ・サイズの推定の結果は、その推定されたウインドウ・サイズが最適でないということである。これは、論理アドレスから物理アドレスへのマッピングが最適でないという結果を招く。この結果は、関連ピクセルの1グループが1データユニット内に格納されず、数個のデータユニットにわたって広がることになる。このような関連ピクセルの1グループにアクセスするための一つのデータブロック要求は、かなりのメモリ転送オーバヘッドを有する。メモリ装置は、一つのバースト・アクセスを実行する代わりに数回呼び出される。

## 【0008】

アプリケーション・ソフトウェアの分析のみによるウインドウ・サイズの推定の結果に加えて、データ依存性の考慮なしにアプリケーション・ソフトウェアを分析することは、コードが利用できない可能性があるので、必ずしも可能ではない。コード又はコードの一部がサードパーティによって開発されたものであれば、それは問題になる可能性がある。

20

## 【0009】

データブロックのデータエレメントの論理アドレスをデータユニットのデータセルの物理アドレスに変換する改良されたマッピングを有する、冒頭パラグラフに述べた種類のメモリアドレス変換装置を提供することは、本発明の第1の目的である。

## 【0010】

このようなメモリアドレス変換装置を含む画像処理装置を提供することは、本発明の第2の目的である。

30

## 【0011】

データブロックのデータエレメントの論理アドレスをデータユニットのデータセルの物理アドレスに変換する改良されたマッピングを有する、冒頭パラグラフに述べた種類の方法を提供することは、本発明の第3の目的である。

## 【0012】

## 【課題を解決するための手段】

本発明の第1の目的は、所定の時間中に実際にメモリ装置に格納された又はその装置から検索された実際のデータブロックの特性の値をアナライザが分析することにおいて達成される。実行時間に実際に格納された又は検索されたデータブロックの特性の値は、アプリケーション・ソフトウェアの分析のみに基づいて、それらのデータブロックが格納又は検索されるであろうと仮定したデータブロックの特性の値とは異なる可能性がある。さらにこれらのデータブロックの出現の確率は、データ依存性の考慮なしにアプリケーション・ソフトウェアの分析によって導出することはできない。大抵のアプリケーション・プログラムは、多数のループと条件テストとを含む。これらの条件テストの結果は、プログラムが多数の並行経路を有するということである。プログラムの入力データは、実際にどの経路が取られるかを決定する。言い換えればアプリケーション・プログラムによって処理すべき入力データは、プログラムの内部変数に、従って、メモリ・アクセスに、強く影響する。これは例えば、MPEG復号器に起る。MPEG復号器がそのオペランドとして何というタイプのデータブロックを有するかは、符号器が採用する戦略に大きく依存する。

40

## 【0013】

50

本発明によるメモリアドレス変換装置の一実施形態は、請求項2に記載されている。データブロックの重要な特性は、実際にメモリ装置に格納された又はメモリ装置から検索された各データブロックの最初のデータエレメントに対応する各最初のデータセルの物理アドレスの確率分布である。このようなアドレスとデータユニットのサイズと特定のデータブロックのサイズに基づいて、どれだけ多くのデータユニットがそのデータブロックからのデータエレメントを含むかを決定することができる。もし1データブロックのデータエレメントの数が1データユニットに適合するならば、これらのデータエレメントは、1データユニット内に配置されることが好ましい。複数のデータユニットにわたるデータエレメントの広がりは、可能な限り最小に留めなくてはならない。それは、もしデータの要求がメモリ装置内の二つ以上のデータユニットをオーバレイすることになると、データユニットの各々をアクセスしなくてはならず、メモリ転送オーバヘッドの増大という結果を招くからである。  
10

## 【0014】

本発明によるメモリアドレス変換装置の一実施形態は、請求項3に記載されている。データブロックのもう一つの重要な特性は、出現確率である。プログラムは、データブロックのタイプに対応する幾つかのタイプのオペランドを有することができる。例えばMPEGの場合、データブロックのセットは、 $V = (16 \times 16)$ 、 $(17 \times 16)$ 、 $(16 \times 17)$ 、 $(17 \times 17)$ 、 $(16 \times 8)$ 、 $(18 \times 8)$ 、 $(16 \times 9)$ 、 $(18 \times 9)$ 、 $(17 \times 8)$ 、 $(17 \times 9)$ 、 $(16 \times 4)$ 、 $(18 \times 4)$ 、 $(16 \times 5)$ 、 $(18 \times 5)$ となる。しかしながら、これらのタイプはすべてが同じ頻度で使用されるわけではない。  
20 メモリ・アクセスの出現の確率、従って要求の確率は、タイプごとに異なる。MPEGアプリケーションの場合、マクロブロックを用いてメモリ内に基準画像が書き込まれる。書き込み要求の量は等しいが、出現確率は要求の総量に関連している。従って、書き込み要求の出現確率は、予測に関するデータ要求の量に大きく依存している。後者は、特にフィールド及びフレーム予測の量と、画像のグループ (Group Of Pictures: GOP) の構造と、B画像の順方向、逆方向、両方向の予測されたマクロブロックの量などによって決定される。もしマッピングが出現確率に依存すれば、これは有利である。特定のタイプのデータブロックの出現確率が比較的高ければ、それはウィンドウ・サイズに比較的大きな影響を及ぼすに違いない。  
30

## 【0015】

本発明によるメモリアドレス変換装置の一実施形態は、請求項4に記載されている。所定の時間中にすべてのメモリ・アクセスを調べることによって収集された情報に基づいてメモリ変換装置は、現在のマッピングがその所定の時間中に使用されたように、メモリ装置に格納された又はメモリ装置から検索されたデータブロックのための可能な最小のメモリ転送オーバヘッドという結果をもたらすかどうかを分析するよう構成される。所定の時間中にすべてのメモリ・アクセスを調べることによって得られたデータブロックに関する情報に加えて、メモリ装置の特性の値、例えばメモリバスの幅とパンクの数とを知らないでなければならない。これらの特性は、定数であって、メモリアドレス変換装置に供給されなくてはならない。メモリ転送オーバヘッドのコスト関数によって、ウィンドウの最適寸法は、数学的に計算できる。マッピングは、主としてウィンドウの寸法に基づいて行われる。  
40

## 【0016】

本発明によるメモリアドレス変換装置の一実施形態は、請求項5に記載されている。このメモリアドレス変換装置は、外部から誘発されたときに新しいマッピングを生成するように構成される。その利点は、外部トリガーがいつでも呼び出され得ることである。

## 【0017】

本発明によるメモリアドレス変換装置の一実施形態は、請求項6に記載されている。このメモリアドレス変換装置は、多数のマッピングを生成するように構成される。これらのマッピングの各々に関してこのメモリアドレス変換装置は、メモリ転送オーバヘッドを計算できる。これらのマッピングの一つは、実際に使用中のマッピング、即ちアクティブなマッピングである。もしアクティブなマッピングが可能な最小のメモリ転送オーバヘッドと  
50

いう結果をもたらさなかったことをメモリアドレス変換装置が検出すれば、最小可能メモリ転送オーバヘッドを有するマッピングをアクティブ・マッピングにすることができる。この戦略の結果は、アクティブ・マッピングが最小可能メモリ転送オーバヘッドを有するマッピングに等しい可能性がいつでも比較的高いということである。

**【0018】**

本発明によるメモリアドレス変換装置の一実施形態は、請求項7に記載されている。このメモリアドレス変換装置は、バースト・アクセス・モードの特徴を有するメモリ装置が使用されるすべての場合に有利である。このバースト・アクセス・モードは、一つの読み取りコマンド又は書き込みコマンドを与えることによって多数の連続するデータワードにアクセスすることを可能にしている。このようなメモリ装置の例は、同期式ダイナミック・ランダム・アクセス・メモリ (SDRAM) 素子である。また2倍データ速度同期式DRAM (DDR SDRAM) 又はDirect Rambus DRAMのような更に高度なメモリ素子へのアクセスのためにも、このメモリアドレス変換装置は有利である。

**【0019】**

本発明によるメモリアドレス変換装置の一実施形態は、請求項8に記載されている。大抵のビデオ処理アルゴリズムは、多次元アレイ、即ちデータブロックと入れ子のループとに基づいている。このメモリアドレス変換装置の使用は、ビデオ処理又は静止画像処理のアルゴリズムのために非常に有利である。この場合、データブロックの1エレメントは、1ピクセルの輝度値に関係している。ピクセルの輝度値は、カラー成分、赤、緑、青の組合せの値、又は複数のカラー成分のうちの一つのカラー成分の値を表す。

20

**【0020】**

本発明によるメモリアドレス変換装置の一実施形態は、請求項9に記載されている。バースト・アクセス・モードの特徴に加えてメモリ装置は、多数パンク・アーキテクチャを有することができる。行活性化とプリチャージとに必要とされるメモリ・サイクルを隠すために多数パンク・アーキテクチャが使用され、ここでは各パンクは交互にアクセスされる。一つのパンクは、この他のパンクとは独立にアクセスされる。メモリ・パンクへの構成は、即ち種々のパンク上に複数のデータブロックを広げる戦略は、メモリ帯域幅効率のために重要な要素である。この戦略は、このメモリアドレス変換装置に与えられなくてはならない。データブロックの意味の理解は重要である。マルチメディア・システムにおける幾つかのアプリケーションのために、順次走査及びインタレース走査両方のビデオデータを読み取ること、即ちMPEG復号のためのフレーム予測とフィールド予測とを読み取ることが必要である。しかしながら、後続の奇数ラインと偶数ラインとが同じデータユニットにマップされると、メモリ帯域幅を浪費せずに奇数ライン又は偶数ラインのみをアクセスすることはできない。従って、奇数ラインと偶数ラインとは、メモリ装置の異なるパンク内に配置される。その結果、データユニットはデータブロックの垂直方向のサイズが1より大きいときにメモリ装置内でインタリープされる。最適なマッピングを決定するためには、この知識を考慮に入れなくてはならない。これを達成するためには、最適マッピングを決定するために使用されるデータブロックのセットは、以下のデータ要求に属するデータブロック、即ち順次走査ビデオ及びインタレース走査ビデオの両者、又はインタレース走査ビデオのみ、又は順次走査ビデオのみのデータ要求に属するデータブロックから構成されなくてはならない。これは、データブロックのセットが以下のデータブロック、即ちデータブロックのデータエレメントが1ビデオフレームの偶数ラインに属する1ピクセルの輝度値に関係しているデータブロックと、データブロックのデータエレメントが1ビデオフレームの奇数ラインに属する1ピクセルの輝度値に関係しているデータブロックと、データブロックのデータエレメントが1ビデオフレームの奇数ライン又は偶数ラインに属する1ピクセルの輝度値に関係しているデータブロックと、を含むことを意味する。

30

**【0021】**

本発明によるメモリアドレス変換装置の一実施形態は、請求項10に記載されている。多くの場合にデータブロックが要求されるであろうが、その場合、データブロックのすべての行は、等しい数のデータエレメントを有する。その場合、矩形のデータブロックのすべ

50

てのデータエレメントがアクセスされる。この矩形のデータブロックのすべてのデータエレメントの検索は必要でないかもしれない。例えば、これらのデータエレメントの一部は既にアクセスされているからである。このメモリアドレス変換装置は、両方のタイプのデータブロックを分析することによってマッピングを生成することができる。

**【0022】**

本発明の第3の目的は、本方法が所定の時間中にメモリ装置に実際に格納された又はメモリ装置から検索されたデータブロックの特性の値を分析する第1のステップとマッピングを生成する第2のステップとを含むことにおいて達成される。

**【0023】**

本発明のこれら及び他の態様は、以下に記載され且つ付属の図面を参照して説明される実施形態及び実施例に関する参考から明らかになり、解明されるであろう。

**【0024】**

**【発明の実施の形態】**

図1は、メモリアドレス変換装置102の主要モジュールとメモリアドレス変換装置が接続されている主要コンポーネントとを概略的に示す。プロセッサ116は、データアクセスを要求する。データは、メモリ装置118内に格納されている。プロセッサによるデータアクセスの各要求は、プロセッサからメモリ装置への又はその逆のデータ転送124という結果になる。プロセッサは、各々のデータアクセス要求によって各データブロック126の各データエレメント128の論理アドレス120をメモリアドレス変換装置に供給する。このメモリアドレス変換装置は、この論理アドレス120を物理アドレス122に変換する。このメモリアドレス変換装置は、この物理アドレスをメモリ装置に供給する。メモリ装置118は、多数のデータユニット130を有する。各データユニットは、多数のデータセル132を有する。このメモリ装置は、4個のバンク136を含む。

**【0025】**

このメモリアドレス変換装置は、下記のコンポーネントを含む。

**【0026】**

データブロック・アナライザ104。データブロック・アナライザは、格納又は検索された各データブロックの特性の値を決定するように設計されている。データブロックの特性は、例えば、垂直サイズ、水平サイズ及びそのデータブロックの最初のデータエレメントに対応する最初のデータセルの物理アドレスである。データブロック・アナライザは、ビデオのタイプ、即ちインタース走査か順次走査かをチェックするように設計されている。所定の時間中に格納又は検索されたデータブロックの特性の収集された値に基づいて、データブロック・アナライザ104は、ある幾つかのデータ要求の出現確率の値、ある寸法を有するデータブロックがアクセスされる確率の値又は各データブロックの各最初のデータエレメントの物理アドレスの確率分布の値を導出できる。

**【0027】**

メモリ転送オーバヘッド計算器106。メモリ転送オーバヘッド計算器は、一組の制御パラメータに関するメモリ転送オーバヘッドを計算するように設計されている。データブロック・アナライザ104によって収集された情報は、メモリ転送オーバヘッド計算器106のために入力される。この情報に加えてメモリ装置の特性、例えばメモリバスの幅とバンク136の数とを知らなくてはならない。これらの特性は、定数である。複数バンク内の構成、即ち種々のバンク136にわたってデータブロックを広げる戦略は、メモリ帯域幅効率のための重要な要素である。この戦略は、メモリ転送オーバヘッド計算器に与えられなくてはならない。

**【0028】**

最小コスト確定器108。最小コスト確定器は、メモリ転送オーバヘッド計算器106に種々のセットの制御パラメータを供給する。最小コスト確定器は、どのセットの制御パラメータが最小可能メモリ転送オーバヘッドという結果をもたらすかを決定するように構成される。最小コスト確定器からの出力は、最適ウインドウ・サイズを含む。最小コスト確定器のもう一つの役目は、メモリ装置に格納された又はメモリ装置から検索されたデータ

20

30

40

50

ブロックに関して、所定の時間中に他のマッピングが現在マッピングの代わりに使われたとすれば、そのマッピングはより小さなメモリ転送オーバヘッドという結果をもたらしかどうかを検証することである。もし現在マッピングが最適マッピングでないことを最小コスト確定器が検出した場合には、最小コスト確定器 108 はマッピング・ジェネレータ 110 に通知する。

#### 【0029】

マッピング・ジェネレータ 110。マッピング・ジェネレータは、データブロックのデータエレメントの論理アドレスをデータユニットのデータセルの物理アドレスに変換するマッピングを生成するように構成される。このマッピングを生成するためにマッピング・ジェネレータ 110 は、最小コスト確定器 108 によって計算された情報を要求する。マッピング・ジェネレータは、イベント、例えば最小コスト確定器によって生成された、発見された更によりよいマッピングに同意する。マッピング・ジェネレータからの出力はルックアップテーブル 134 である。このルックアップテーブル 134 はマッピングを記述している。

#### 【0030】

アドレス・ジェネレータ 112。アドレス・ジェネレータは、論理アドレスの 1 事例 (インスタンス) ごとに物理アドレスを決定する。これはルックアップテーブル 134 を使用する。

#### 【0031】

メモリ・コマンド・ジェネレータ 114。メモリ装置、例えばSDRAM内のデータユニットにアクセスするためには、まずバンク 136 がアドレス指定された行をそのバンクのページにコピーするために行アドレス・ストローブ (Row Address Strobe: RAS) と呼ばれる行活性化コマンドが発行されなくてはならない。ある遅延の後に、その行内の要求されたデータユニットにアクセスするために同じバンクに関する列アドレス・ストローブ (Column Address Strobe: CAS) と呼ばれる読み取りコマンド又は書き込みコマンドが発行され得る。その行内の要求されたすべてのデータユニットがアクセスされると、対応するバンクはプリチャージすることができる。これらすべてのコマンドのタイミングは、重要である。メモリ・コマンド・ジェネレータは、データアクセスごとにこれらのコマンドを正しい順序で、またコマンド間に正しい遅延を置いて生成する。

#### 【0032】

図 2A は、メモリ装置データユニットへの  $64 \times 1$  ピクセルのマッピングを概略的に示しており、図 2B は、メモリ装置データユニットへの  $16 \times 4$  ピクセルのマッピングを概略的に示している。1 ピクセルは 1 バイトに対応すると仮定している。メモリ装置 201 は、64 個のデータユニットを含む。各データユニットは 64 バイトを有することができる。メモリ装置の論理サイズは、おのおの 128 個のピクセルを有する 32 本のビデオラインからのピクセルを保持できるようなサイズである。メモリ装置は、4 個のバンクを含む。種々のバンクに対応するデータユニットは、参考番号 202 から 208 で示されている。ピクセルのマッピングのために、いくつかのオプションを認めることができる。最も直感的な方法は、図 2A に示すように 1 データユニットに 1 ビデオラインの 64 個の連続するピクセルをマップすることである。図 2A は、64 ピクセルの連続する各行が水平、垂直両方向にバンク内でどのようにしてインタリーブされるかを示している。インタリーブ・マッピングによってメモリへのアクセスは、もしピクセルデータが順次に読み取られ又は書き込まれれば 4 個のバンクを連続して正確にアドレス指定する。しかしながら、 $16 \times 16$  ピクセルのデータブロックがメモリ装置から要求されると、転送されるデータの量が非常に多くなる。もしデータブロックが 1 データユニット内で水平に配置されれば、 $64 \times 16$  ピクセルが転送される。もしデータブロックが水平方向に 2 個のデータユニットをオーバレイすれば、転送データの量は  $128 \times 16$  ピクセルとなる。図 2B に示すようにマッピング戦略が選択されると、オーバヘッドは、より少なくなる。しかしながら、 $128 \times 1$  のデータブロックが要求されると、図 2A は、さらに良好なマッピング戦略

を与える。

【0033】

図3は、メモリ・データユニットへのインタース走査ビデオのマッピングを概略的に示す。1ピクセルは1バイトに対応するものと仮定する。メモリ装置301は、64個のデータユニットを含む。各データユニットは64バイトを含むことができる。メモリ装置の論理サイズは、おのおの128個のピクセルを有する32本のビデオラインからのピクセルを保持できるようなサイズである。メモリ装置は、4個のパンクを含む。種々のパンクに対応するデータユニットは、参照番号302から308で示されている。マルチメディア・システムにおけるいくつかのアプリケーションに関しては、順次走査及びインタース走査両方のビデオデータ、例えばMPEG復号のためのフレーム予測及びフィールド予測のビデオデータを読み取ることが必要である。しかしながら、後続の奇数ラインと偶数ラインとが同じデータユニットにマップされると、メモリ帯域幅を浪費せずに奇数ラインのみ又は偶数ラインのみをアクセスすることはできない。従って、奇数ラインと偶数ラインとはメモリ装置の異なるパンクに配置される。その結果、データブロックの垂直方向のサイズが1より大きいとき、データユニットはメモリ装置内でインタリープされる。16×4ピクセルのデータユニットに関する結果的マッピング戦略は、図3に示す。インタース式ビデオデータの効率的アクセスのためには、奇数パンク、偶数パンクへの奇数、偶数ビデオラインのマッピングは、垂直方向の4個のユニットの後にトグルされる。こうして最初の奇数ラインはパンク0及び2にマップされるが、偶数ラインはパンク1及び3にマップされる。後続のビデオラインでは、これは逆の仕方で行われる。即ち、奇数ラインはパンク1及び3にマップされ、偶数ラインはパンク0及び2にマップされる。順次走査ビデオに関しては、これは差がないが、インタース走査では、これは奇数パンクのみ、又は偶数パンクのみの代わりにすべてのパンクのアドレス指定という結果になる。順次走査ビデオラインによる16×4ピクセルのデータブロックの検索に関しては、サイズは垂直方向に8ラインになったが、インタース走査ビデオによるデータブロックへのアクセスに関しては、サイズは4ラインであることに留意されたい。

【0034】

図4は、本発明による画像処理装置の最も重要な要素を示す。この画像処理装置402は、圧縮、伸張、画質向上又はフィルタリングすべき画像を表すデータを処理するための処理手段406を有する。このデータは、放送されたものでもアンテナやケーブルを介して受信したものでもよいが、VCR(ビデオ・カセット・レコーダ)やDVD(デジタル多用途ディスク)のような記憶装置からのデータでもよい。データをインポートするためのインターフェース・ユニット410は、コネクタ414を有する。データ・インポート用のインターフェース・ユニットは、画像処理装置402の内部におけるデータ転送用のバス412に接続されている。データは、ケーブルを介して送出できるが、VCR又はCDレコーダ(コンパクトディスク・レコーダ)のような装置に格納することもできる。データ・エクスポート用のインターフェース・ユニット418は、コネクタ416を有する。データ・エクスポート用のインターフェース・ユニットは、画像処理装置402の内部におけるデータ転送用のバス412に接続されている。データは、画像捕獲ユニット420を用いて画像処理装置によって生成することもできる。データはまた、画像表示装置422を用いて画像処理装置によってビジュアル化することもできる。データはメモリ装置408に格納できる。メモリ装置に格納すべき又はメモリ装置から検索すべきデータへのアクセスは、メモリアドレス変換装置404によって処理される。データ受信用のインターフェース・ユニット410とデータ・エクスポート用のインターフェース・ユニット418と処理手段406とは、データにアクセスするためにメモリアドレス変換装置404と通じている。

【0035】

図2A、図2B、図3には、マッピングの例が示されている。最適マッピングを見出すために、任意の最小化方法を使って、下記の条件が満たされるようにウインドウの水平サイズMとウインドウの垂直サイズNとを決定することができる。

(11)

JP 2004-518343 A 2004.6.17

## 【数1】

$$\min_{M, N \in N^+, M+N=S} \{ \bar{o}(M, N, V) \} \quad (1)$$

ここで、Sはピクセルの量で与えられたウィンドウのサイズであり、 $N^+ = 1, 2, 3, 4, 5, \dots$  及び

$$o_i(M, N, V) = o_{i1}(M, N, V_1) + o_{i2}(M, N, V_2) \quad (2)$$

である。ここで、 $V = V_1 \cap V_2$  である。

## 【0036】

$o_{i1}(M, N, V_1)$  及び  $o_{i2}(M, N, V_2)$  は、それぞれインタース型データブロックの要求と順次型データブロックの要求に関するオーバヘッドを表す。インタース型ビデオ及び順次型ビデオの両者からなる1セットのデータブロックが考慮されなければならないとき、このセットは分割されなくてはならず、また、そのサブセットには方程式3と方程式4とが適用されなくてはならない。

## 【0037】

インタース型データブロックの要求のためのオーバヘッドは、下記のように計算できる。

## 【数2】

$$\bar{o}_i(M, N, V_1) = \left\{ \frac{\sum_{B_x \times B_y \in V_1} P(B_x \times B_y) \sum_{m=0}^{M-1} \sum_{n=0}^{N-1} (P_{B_x \times B_y}(M, N) \cdot hsize(B_x) \cdot vsize_i(B_y))}{\sum_{B_x \times B_y \in V_1} P(B_x \times B_y) \cdot B_x \cdot B_y} \right\} \cdot 100\% \quad (3)$$

ここで、

## 【数3】

$$hsize(B_x) = 1 + \left\lceil \frac{B_x + m - 1}{M} \right\rceil, \text{ 及び } vsize_i(B_y) = 1 + \left\lceil \frac{B_y + n - 1}{N} \right\rceil \quad (30)$$

である。

## 【0038】

また、ここで、 $V_1$  は可能なデータブロック  $B_x \times B_y$  のセットであり、 $P(B_x \times B_y)$  はデータブロックの確率である。またここで  $P_{B_x \times B_y}(M, N)$  は、左上隅のピクセル、即ち要求されたデータブロック  $B_x \times B_y$  の最初のエレメントが次の条件： $x \leq m \text{ AND } y \leq n$  を満たす位置  $(x, y)$  に配置される確率に等しい。方程式3の分子は、オーバヘッドを含む転送データの量をあらわす。分母はオーバヘッドを有さない要求データの量をあらわす。順次型データブロック要求に関するオーバヘッドは、下記のように計算できる。

## 【数4】

$$\bar{o}_p(M, N, V_p) = \left\{ \frac{\sum_{B_x \times B_y \in V_p} P(B_x \times B_y) \sum_{m=0}^{M-1} \sum_{n=0}^{N-1} (P_{B_x \times B_y}(M, N) \cdot hsize(B_x) \cdot vsize_p(B_y))}{\sum_{B_x \times B_y \in V_p} P(B_x \times B_y) \cdot B_x \cdot B_y} \right\} \cdot 100\% \quad (4)$$

ここで、

50

(12)

JP 2004-518343 A 2004.6.17

## 【数5】

$$hsize(B_x) = 1 + \left\lceil \frac{B_x + m - 1}{M} \right\rceil$$

及び

$$vsize_p(B_y) = \left( 1 + \left\lceil \frac{\left\lceil \frac{B_y}{2} \right\rceil + \left\lceil \frac{n}{2} \right\rceil - 1}{N} \right\rceil \right) \div \left( 1 + \left\lceil \frac{\left\lceil \frac{B_y}{2} \right\rceil + \left\lceil \frac{n}{2} \right\rceil - 1}{N} \right\rceil \right)$$

19

である。

## 【0039】

方程式4の分子はオーバヘッドを含む転送データの量を表す。分母はオーバヘッドを有さない要求データの量を表す。この最適化方法に関しては、 $B_y = 1$ を有するデータプロックは、インターレース型要求とみなされ、従って、これらはセットV<sub>1</sub>に含まれる。

## 【0040】

前述の実施形態は本発明を限定するのではなく例示するものであり、また当業者は付属の請求項の範囲から逸脱せずに代替の実施形態を設計し得るであろうことに留意すべきである。これらの請求項においてカッコ内に置かれたいかなる参照記号も、その請求項を限定するものと解すべきではない。用語「含む」は、請求項に列挙された要素、ステップ以外の要素やステップの存在を除外するものではない。要素に先行する用語「ある一つの(a)」又は「ある一つの(a n)」は、このような要素の複数の存在を排除するものではない。本発明は、数個の個別要素を含むハードウェアによって、また適切にプログラムされたコンピュータによって実現可能である。数個の手段を列挙する単位請求項において、これらの手段の幾つかは、一つの手段によって又はハードウェアの同じ品目によって具現可能である。

## 【図面の簡単な説明】

## 【図1】

メモリアドレス変換装置の主要モジュールとメモリアドレス変換装置が接続されている主要コンポーネントとを概略的に示す図。

## 【図2A】

メモリ装置データユニットへの $64 \times 1$ ビクセルのマッピングを概略的に示す図。

## 【図2B】

メモリ装置データユニットへの $16 \times 4$ ビクセルのマッピングを概略的に示す図。

## 【図3】

メモリ装置データユニットへのインターレース走査ビデオのマッピングを概略的に示す図。

## 【図4】

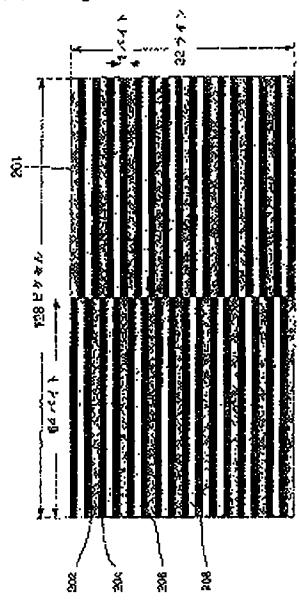
本発明による画像処理装置の最も重要な要素を示す図。

40

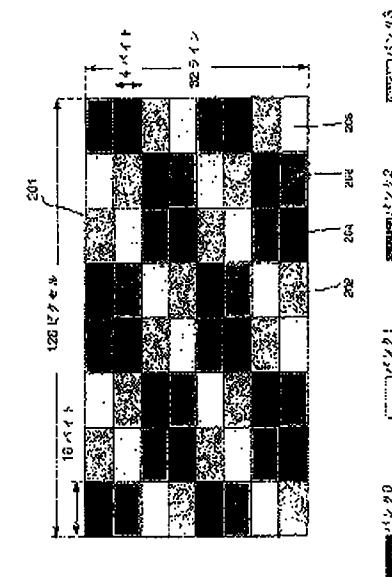
(13)

JP 2004-518343 A 2004.6.17

### 【図2A】



[図2E]



[図3]

